

8/7/5  
DIALOG(R) File 347:JAPIO  
(c) 1999 JPO & JAPIO. All rts. reserv.

03061946      \*\*Image available\*\*  
\*CACHE\* CONTROL SYSTEM

PUB. NO.:        02-037446 [JP 2037446 A]  
PUBLISHED:      February 07, 1990 (19900207)  
INVENTOR(s):    MATSUOKA KOJI  
APPLICANT(s):   NEC CORP [000423] (A Japanese Company or Corporation), JP  
                  (Japan)  
APPL. NO.:      63-185552 [JP 88185552]  
FILED:          July 27, 1988 (19880727)

#### ABSTRACT

PURPOSE: To obtain the coincidence between original data on a main \*storage\* and copy data held on a \*cache\* by always invalidating held copy data at the time of updating original data on the main \*storage\* corresponding to copy data held on the \*cache\*.

CONSTITUTION: When data is written on the main \*storage\* in the monitor or invalidating processing, a given write \*physical\* \*address\* and the \*physical\* \*address\* held in a \*physical\* \*address\* holding means 22 are compared with each other to \*check\* whether data before update on the main \*storage\* whose data is updated by another access request source sharing the main \*storage\* is held in a data holding means 11 or not. When data before update is held in the data holding means 11, the discrimination number of the entry where pertinent data is held is designated to invalidate pertinent data. Thus, the \*cache\* hit rate is improved though write to the main \*storage\* like I/O transfer is performed.

Best Available Copy

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-37446

⑬ Int.Cl.<sup>1</sup>

G 06 F 12/08

識別記号

310 J  
A

庁内整理番号

7010-5B  
7010-5B

⑭ 公開 平成2年(1990)2月7日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 キャッシュ制御方式

⑯ 特 願 昭63-185552

⑰ 出 願 昭63(1988)7月27日

⑱ 発 明 者 松 岡 浩 司 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 岩佐 義幸

明 細 書

1. 発明の名称

キャッシュ制御方式

2. 特許請求の範囲

(1) データを保持するデータ保持手段と、

データに対応しデータの論理アドレスを保持する論理アドレス保持手段と、

論理アドレスによってデータの検索を行う論理アドレス検索手段とを備える論理アドレスキャッシュにおけるキャッシュ制御方式であって、

データ保持手段におけるデータが保持されるエントリの識別番号を保持する識別番号保持手段、エントリ識別番号に対応してそのエントリに保持されたデータの物理アドレスを保持する物理アドレス保持手段、および物理アドレスによってエントリ識別番号の検索を行う物理アドレス検索手段を有し、書き込み物理アドレスを監視することによって、主記憶を共有する他のアクセス要求元により更新されたデータの更新前のコピーデータを前記データ保持手段に保持していることを検出し、

当該コピーデータを保持するエントリの識別番号を指定することによって、当該コピーデータを無効化する無効化手段を有することを特徴とするキャッシュ制御方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、キャッシュ制御方式、具体的には論理アドレスキャッシュのキャッシュ制御方式に関し、特に、論理アドレスキャッシュにおいて主記憶を共有する複数のアクセス要求元が存在するシステムで生じる論理矛盾を回避することのできるキャッシュ制御方式に関するものである。

(従来の技術)

キャッシュでは、主記憶上にあるデータのコピーが保持される。キャッシュに保持されたコピーデータへのアクセスは、主記憶上にある元データに対するアクセスに比較して高速に行われる。このため、キャッシュ上に保持されたコピーデータへのアクセスが多ければ多いほど、つまり、ヒット率が高ければ高いほど実効的なアクセスタイム

が短くなり、システムの性能が向上する。

後述でも触れるが、アクセスするデータのコピーがキャッシュ上に保持されている場合には、コピーデータに対しアクセスが行われ、コピーデータがキャッシュに保持されていないとき、主記憶側の元データに対するアクセスが実行されるのであり、しかも、上記したように、コピーデータへのアクセスの方が主記憶上にある元データに対するアクセスに比し高速に行えるのであるから、主記憶側へのデータをキャッシュ側の記憶容量の許す範囲内でキャッシュ上にコピーデータとして保持しておけば、それだけ、アクセス要求時に、より高速で行えるコピーデータへのアクセスが行われる機会が多くなる。このように、キャッシュ上に保持されたコピーデータへのアクセスが多ければ（ヒット率が高ければ）、その分、アクセスに必要とされる時間を減少させることができ、実効的なアクセスタイムが短くなってシステムの性能の向上に役立つこととなる。

かかるキャッシュには、アドレスによって、論

理アドレスによるものと、物理アドレスによるものがある。

すなわち、キャッシュは、コピーデータを識別するためにデータのアドレスをコピーデータに対応して保持するが、保持するアドレスによって、論理アドレスを保持する論理アドレスキャッシュと、物理アドレスを保持する物理アドレスキャッシュの2つの方式のキャッシュがある。

これら論理アドレスキャッシュと、物理アドレスキャッシュとは、既述の如く、主記憶上の元データに対するアドレスと比較すれば、アクセスが高速に行えるが、両キャッシュを比較すると、より早いアクセスが必要とされるような用途には、前者の論理アドレスキャッシュが適している。

これは、下記のようなことからである。一般に、主記憶へのアクセスが物理アドレスによって行われるため、物理アドレスキャッシュが採用される。しかし、物理アドレスキャッシュではデータの検索を物理アドレスで行うため、論理アドレスから物理アドレスへのアドレス変換を必要とする。従

って、アドレス変換を行う必要のない論理アドレスキャッシュに比較してアドレス変換時間だけアクセスが遅い。また、最新のデバイス技術を用いた場合、チップ間の信号伝達遅延がチップ内における信号伝達遅延に対し大きい場合、キャッシュはチップに内蔵することが好ましい。しかし、物理アドレスキャッシュをチップに内蔵しようとすると、必然的にアドレス変換手段をチップに内蔵する必要があり、チップの集積度が低い場合には、キャッシュの容量が制限されるなどの問題が生じる。以上のような理由によって、より早いアクセスが要求される場合には、論理アドレスキャッシュが採用されている。

このように、キャッシュのうちでも、論理アドレスキャッシュは、物理アドレスキャッシュと比較して早いアクセスタイムを持つという利点がある。

〔発明が解決しようとする課題〕

しかし、キャッシュでは、キャッシュに保持したコピーデータと対応する主記憶上の元データが

異なる論理矛盾が生ずる問題があり、この論理矛盾は、特に、論理アドレスキャッシュにおいて、主記憶を共有する複数のアクセス要求元が存在するシステムのとき、主記憶上のデータが主記憶を共有する他のアクセス要求元により更新された場合に、キャッシュに保持したコピーデータと対応する主記憶上の元データが異なる論理矛盾が生じ、主記憶上の元データとキャッシュに保持されたコピーデータが一致しない状態が発生する。

しかし、第4図で示すように、従来方式の論理アドレスキャッシュでは、この論理矛盾が生じたことを検出する機構を有していない。

すなわち、第4図において、論理アドレスキャッシュ10は、データ保持手段11と、論理アドレス保持手段12と、論理アドレス検索手段13とを有し、データ保持手段11には、キャッシュデータ入出力（入出力端子）2あるいはメモリデータ入出力（入出力端子）3から与えられたデータが書き込まれ、また、データに対応させて論理アドレス入力（入力端子）1から与えられたデータの論理ア

ドレスが論理アドレス保持手段12に書き込まれ、それぞれ保持されるようになっている。

上記論理アドレスキャッシュ10では、アクセスが行われると、論理アドレス入力（入力端子）1から与えられたアクセスするデータの論理アドレスと論理アドレス保持手段12に保持された論理アドレスの比較が行われ、データ保持手段11にコピーデータが保持されている場合には、既述したように、主記憶上にある元データに対するアクセスではなくコピーデータに対しアクセスが実行されることとなり、コピーデータが保持されていないとき、メモリアクセス制御出力（出力端子）4からメモリアクセス手段を起動し、図示しない主記憶上にあるデータ、すなわち元データに対するアクセスが行われるのであるが、前述のごとく、主記憶上のデータが当該主記憶を共有する他のアクセスにより更新されたような場合において論理矛盾が生じたとき、上記論理アドレスキャッシュ10は、第4図に示すように、その論理矛盾の検出のための手段は具備してはいない。

論理アドレスキャッシュは採用されていたのであり、このように、適用するデータも制限される。

本発明の目的は、論理矛盾を回避することができ、しかもこれを論理アドレスキャッシュの特徴を損なわずに行うことのできるキャッシュ制御方式を提供することにある。

#### （課題を解決するための手段）

本発明のキャッシュ制御方式は、

データを保持するデータ保持手段と、

データに対応しデータの論理アドレスを保持する論理アドレス保持手段と、

論理アドレスによってデータの検索を行う論理アドレス検索手段とを備える論理アドレスキャッシュにおけるキャッシュ制御方式であって、

データ保持手段におけるデータが保持されるエントリの識別番号を保持する識別番号保持手段、エントリ識別番号に対応してそのエントリに保持されたデータの物理アドレスを保持する物理アドレス保持手段、および物理アドレスによってエントリ識別番号の検索を行う物理アドレス検索手段

そこで、論理矛盾の発生を避けるため、例えば、1/0転送のような主記憶への書き込みが行われた場合には、論理矛盾が生じないようにキャッシュに保持したすべてのデータを無効化する必要があったが、そのようにすべてのデータの無効化はシステムの性能の低下を招く結果となる。すなわち、この無効化によってキャッシュのヒット率は低下し、システムの性能が低下してしまう。

このように、論理矛盾の発生を防止しようとして無条件の無効化を行うときは、論理アドレスキャッシュの利点、特に物理アドレスキャッシュに比較しても早いアクセスタイムを持つという特徴を十分に活かすこともできなくなってしまう。

また、論理矛盾の発生は、論理アドレスキャッシュの利用範囲を狭くすることにもなる。すなわち、マルチプロセッサシステムでは、他系のプロセッサによって主記憶への書き込みが行われた場合に、論理矛盾が生じる。そこで、この論理矛盾が生じないようにするため、例えば、コードデータのみをキャッシングする命令キャッシュとして

を有し、書き込み物理アドレスを監視することによって、主記憶を共有する他のアクセス要求元により更新されたデータの更新前のコピーデータを前記データ保持手段に保持していることを検出し、当該コピーデータを保持するエントリの識別番号を指定することによって、当該コピーデータを無効化する無効化手段を有することを特徴としている。

#### （作用）

本発明のキャッシュ制御方式では、論理アドレスキャッシュのデータ保持手段におけるエントリの識別番号が識別番号保持手段に、エントリの識別番号に対応させて、与えられたデータの物理アドレスが物理アドレス保持手段に保持される。無効化手段は、書き込み物理アドレスを監視し、一定条件下での該当コピーデータの無効化を行う。

かかる監視、無効化処理は、主記憶への書き込みが行われた場合には、与えられた書き込み物理アドレスと物理アドレス保持手段に保持された物理アドレスを比較し、主記憶を共有する他のア

セス要求元により更新された主記憶上のデータの更新前のデータをデータ保持手段に保持しているかどうかを調べ、更新前のデータをデータ保持手段に保持している場合には、該当のデータが保持されたエントリの識別番号を指定することによって該当のデータを無効化することにより、これを行うことができる。

この書き込み物理アドレスによるデータの無効化は物理アドレス検索手段によって制御される。これによって、キャッシュに保持されたコピーデータに対応する主記憶上の元データが更新された場合には、常に保持されたコピーデータが無効化されるため、主記憶上の元データとキャッシュに保持されたコピーデータの一致を保證することができる。

#### (実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の基本構成図である。第1図において、本発明に従うキャッシュ制御方

式を適用した論理アドレスキャッシュ10は、データを保持するデータ保持手段11と、データに対応してデータの論理アドレスを保持する論理アドレス保持手段12と、論理アドレス検索手段13とを備えている。

論理アドレス検索手段13は、論理アドレスによってデータの検索を行う手段であって、エントリ識別番号出力（出力端子）5を介して後述のエントリ識別番号を無効化手段20に送出するようになっていると共に、無効化手段20から無効エントリ識別番号入力（入力端子）6を通して無効化すべきエントリの識別番号が入力されるようになっている。

無効化手段20は、識別番号保持手段21と、物理アドレス保持手段22と、物理アドレス検索手段23とを有する。

識別番号保持手段21は、論理アドレスキャッシュ10のデータ保持手段11における1つのデータが保持される領域、すなわちエントリの識別番号を保持する手段である。また、物理アドレス保持手

段22は、エントリ識別番号に対応してそのエントリに保持されたデータの物理アドレスを保持するもので、物理アドレスの保持は、エントリの識別番号に対応させて物理アドレス入力（入力端子）7から与えられたデータの物理アドレスを書き込むことによって行われる。

物理アドレス検索手段23は、物理アドレスによってエントリ識別番号の検索を行う手段であって、書き込み物理アドレス入力（入力端子）8に入力される書き込み物理アドレスを監視する。書き込み物理アドレスは、図示しない主記憶への書き込みが行われた場合において主記憶への書き込みアドレスが書き込み物理アドレス入力8から無効化手段20へ与えられるようになっており、無効化手段20においては、論理アドレスキャッシュ10に保持したデータを無条件に無効化するのではなく、書き込み物理アドレスを監視することによって、主記憶を共有する他のアクセス要求元により更新されたデータの更新前のコピーデータを前記データ保持手段に保持していることを検出し、当該コ

ピーデータを保持するエントリの識別番号を指定することによって、当該コピーデータを無効化する。

このように、本キャッシュ制御方式では、データを保持するデータ保持手段11と、データに対応してデータの論理アドレスを保持する論理アドレス保持手段12と、論理アドレスによってデータの検索を行う論理アドレス検索手段13を持つ論理アドレスキャッシュ10のキャッシュ制御方式において、データ保持手段11における1つのデータが保持される領域、つまり、エントリの識別番号を保持する識別番号保持手段21と、エントリ識別番号に対応してそのエントリに保持されたデータの物理アドレスを保持する物理アドレス保持手段22と、物理アドレスによってエントリ識別番号の検索を行う物理アドレス検索手段23を有し、書き込み物理アドレスを監視することによって、主記憶を共有する他のアクセス要求元により更新されたデータの更新前のコピーデータをデータ保持手段11に保持していることを検出し、当該コピーデータを

保持するエントリの識別番号を指定することによって、当該コピーデータを無効化する無効化手段20を有する。

論理アドレスキャッシュ10での動作、並びに無効化手段20によるコピーデータの無効化処理は、次のようにしてなされる。

まず、論理アドレスキャッシュ10においては、キャッシュデータ入出力2あるいはメモリデータ入出力3から与えられたデータをデータ保持手段11に、また、データに対応させて論理アドレス入力1から与えられたデータの論理アドレスを論理アドレス保持手段12にそれぞれ書き込んでおく。アクセスが行われると、論理アクセス入力1から与えられたアクセスするデータの論理アドレスと論理アドレス保持手段12に保持された論理アドレスを比較し、データ保持手段11にアクセスするデータのコピーが保持されているかどうかを調べる。データ保持手段11にコピーデータが保持されている場合にはコピーデータに対しアクセスを行う。データ保持手段11にコピーデータが保持されてい

ない場合には、メモリアクセス制御出力4からメモリアクセス手段を起動し、主記憶上にあるデータに対するアクセスを行う。

以上は、従来方式の論理アドレスキャッシュの動作として既知の作用であって、論理アドレス検索手段13によって制御される。

本発明に従うキャッシュ制御方式では、さらに、データ保持手段11におけるエントリの識別番号を識別番号保持手段21に、エントリの識別番号に対応させて物理アドレス入力7から与えられたデータの物理アドレスを物理アドレス保持手段22に書き込んでおく。主記憶への書き込みが行われた場合には、書き込み物理アドレス入力8から与えられた書き込み物理アドレスと物理アドレス保持手段22に保持された物理アドレスを比較し、主記憶を共有する他のアクセス要求元により更新された主記憶上のデータの更新前のデータをデータ保持手段11に保持しているかどうかを調べる。更新前のデータをデータ保持手段11に保持している場合には、該当のデータが保持されたエントリの識別

番号を指定することによって該当のデータを無効化する。この書き込み物理アドレスによるデータの無効化は物理アドレス検索手段23によって制御される。これによって、キャッシュに保持されたコピーデータに対応する主記憶上の元データが更新された場合には、常に保持されたコピーデータが無効化されるため、主記憶上の元データとキャッシュに保持されたコピーデータの一致を保証することができる。

更に、第2図、第3図を参照して本発明の具体例について説明する。

第2図は具体例のブロック図である。第2図において、符号100は本例での論理アドレスキャッシュを示し、データメモリ110はデータ保持手段に対応し、論理アドレスメモリ120は論理アドレス保持手段に対応し、論理アドレス検索制御部130は論理アドレス検索手段に対応し、さらに、論理アドレス検索制御部130は論理アドレス比較部131と、抹消データ選択部132と、論理無効化制御部133を持つ。

また、符号200は本例での無効化制御部で無効化手段に対応し、識別番号メモリ210は識別番号保持手段に対応し、物理アドレスメモリ220は物理アドレス保持手段に対応し、物理アドレス検索制御部230は物理アドレス検索手段に対応し、さらに、物理アドレス検索制御部230は物理アドレス比較部231と、物理無効化制御部232を持つ。

また、第3図は第2図の論理アドレスキャッシュおよび無効化制御部を適用した場合のシステムの構成の一例を示す。

本システムは、論理アドレスキャッシュ100と、無効化制御部200と、プロセッサ300と、アドレス変換手段400と、メモリアクセス手段500と、主記憶600とから構成される。

第3図で示すように、プロセッサ300は、データをアクセスするために論理アドレス入力1とキャッシュデータ入出力2によって論理アドレスキャッシュ100に接続されている。また、主記憶600上にある元データをアクセスするために必要とするアクセスするデータの物理アドレスが、アクセ

スするデータの論理アドレスを入力としてアドレス変換手段400で生成される。プロセッサ300が論理アドレスキャッシュ100上に保持されたコピーデータに対し書き込みを伴うアクセスを行った場合、あるいは、論理アドレスキャッシュ100上に保持されていないデータに対しアクセスを行った場合には、生成された物理アドレスがメモリアクセス手段500に入力される。この場合には、さらに、論理アドレスキャッシュ100はメモリアクセス制御出力4からメモリアクセス手段500を起動し、主記憶600上にある元データに対するアクセスを行う。主記憶600上にある元データをアクセスするために論理アドレスキャッシュ100はメモリデータ入出力3によってメモリアクセス手段500に接続されている。

さらに、書き込み物理アドレスを監視することによって、主記憶600を共有する他のアクセス要求元により更新されたデータの更新前のコピーデータを論理アドレスキャッシュ100上に保持していることを検出し、当該コピーデータを無効化す

るために、主記憶600への書き込みアドレスが書き込み物理アドレス入力8から無効化制御部200に入力される。また、アドレス変換手段400で生成されたアクセスするデータの物理アドレスが物理アドレス入力7から無効化制御部200に入力される。

以下に、上記構成による場合の動作について説明する。

まず、論理アドレス比較部131において、論理アドレス入力1から与えられたアクセスするデータの論理アドレスと論理アドレスメモリ120に保持された論理アドレスが比較される。論理アドレスメモリ120にはデータメモリ110に保持されたデータに対応して、データの論理アドレスが保持されている。比較の結果、アクセスするデータの論理アドレスが論理アドレスメモリ120に保持されている。つまり、アクセスするデータのコピーがデータメモリ110に保持されている場合には、データメモリ110に保持されたコピーデータに対しアクセスが行われる。また、アクセスが書き込

みを行う場合には、データメモリ110に保持されたコピーデータを更新すると同時に、メモリアクセス制御出力4から、第3図に示したメモリアクセス手段(メモリアクセス制御部)500を起動し、主記憶600上にあるデータを更新する。これに対し、上述の比較の結果、アクセスするデータの論理アドレスが論理アドレスメモリ120に保持されていない、つまり、アクセスするデータのコピーがデータメモリ110に保持されていない場合には、メモリアクセス制御出力4から、第3図に示したメモリアクセス手段(メモリアクセス制御部)500を起動し、主記憶600上にあるデータに対するアクセスを行う。

しかも、上述のようにコピーが保持されていないときは、さらに以下の処理を行う。

すなわち、この場合には、さらに、キャッシュのヒット率を高くするために、この最新のアクセスによってアクセスされたデータが、データメモリ(保持手段)110に保持される。なお、このデータを保持するためのエントリは、あらかじめ抹

消データ選択部132によって選択されるが、空きエントリがない場合には、最も有効でないデータが保持されていたエントリが選択され、この最も有効でないデータはキャッシュから抹消される。抹消データ選択部132によって選択されたエントリの識別番号は、エントリ識別番号出力5から無効化制御部200に送られる。

そして、アクセスするデータと、アクセスするデータの論理アドレスが論理アドレスキャッシュ100に得られた時点で、アクセスするデータと、アクセスするデータの論理アドレスを対にしてデータメモリ110と論理アドレスメモリ120に書き込んでおく。また、データを保持するためのエントリの識別番号と、アクセスするデータの物理アドレスが無効化制御部200に得られた時点で、エントリの識別番号とアクセスするデータの物理アドレスを対にして識別番号メモリ210と物理アドレスメモリ220に書き込んでおく。

このようにして、無効化制御部200の識別番号メモリ210と物理アドレスメモリ220に、エント

り、すなわち上記論理アドレスキャッシュ100側のデータメモリ110におけるエントリの識別番号とエントリ識別番号に対応してデータの物理アドレスが保持されることになる。

さらに、無効化制御部200は、これに加えて、第3図に示した主記憶600への書き込みに備えて、書き込み物理アドレスの監視を行い、一定条件下でコピーデータの無効化を実行する。

すなわち、物理アドレス検索制御部230は、主記憶600に対する書き込み物理アドレスを監視する。主記憶600に対し書き込みが行われた場合には、物理アドレス比較部231において、書き込み物理アドレス入力8から与えられた書き込み物理アドレスと物理アドレスメモリ220に保持された物理アドレスが比較される。物理アドレスメモリ220には、上述したごとく、対応するエントリのデータメモリ110に保持されたデータに対応して、そのデータの物理アドレスが保持されている。従って、比較の結果、書き込み物理アドレスが物理アドレスメモリ220に保持されている、つまり、

主記憶600を共用する他のアクセス要求元によって更新されたデータの更新前のコピーをデータメモリ110に保持している場合には、無効エントリ識別番号入力6から無効化すべきエントリの識別番号を論理アドレスキャッシュ100に送る。論理無効化制御部133は無効化すべきエントリの識別番号が送られるとデータメモリ110に保持された該当のコピーデータを無効化する。

かくして、論理アドレスキャッシュ100において主記憶600を共有する複数のアクセス要求元が存在するシステムにおいても、キャッシュに保持してすべてのデータを無効化することなく、論理矛盾の発生は回避される。

#### (発明の効果)

以上説明したように、本発明によれば、キャッシュ上に保持されたコピーデータに対応する主記憶上の元データが更新されると、常に保持されたコピーデータが無効化され、このため、物理アドレスキャッシュに比較して早いアクセスタイムを持つという論理アドレスキャッシュの特徴を保ち

つつ、主記憶上の元データと保持されたコピーデータの一致を保証することができる。これによって、1/0転送のような主記憶への書き込みが行われた場合にも、保持したデータを無条件に無効化する必要がなくなり、キャッシュのヒット率が向上する。また、マルチプロセッサシステムでは、従来方式の論理アドレスキャッシュがキャッシングできなかったデータをキャッシングできる論理アドレスキャッシュを得ることができる。さらに、論理アドレスキャッシュと無効化制御部を物理的に分離できるため、キャッシュをチップに内蔵することを容易ならしめる。

#### 4. 図面の簡単な説明

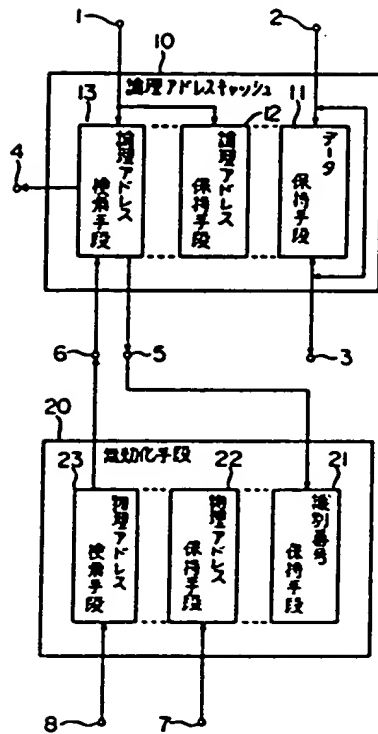
- 第1図は本発明の一実施例を示す図、  
第2図はさらに具体的な一例を示すブロック図、  
第3図は第2図の各部を動作させるシステムの構成要素をも含めて示す図、  
第4図は従来方式の構成要素を示す図である。
- 10・・・論理アドレスキャッシュ
  - 11・・・データ保持手段

- 12・・・論理アドレス保持手段
- 13・・・論理アドレス検索手段
- 20・・・無効化手段
- 21・・・識別番号保持手段
- 22・・・物理アドレス保持手段
- 23・・・物理アドレス検索手段

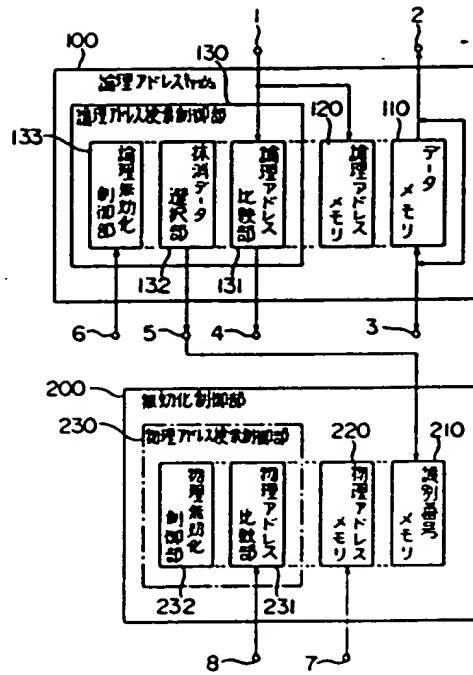
代理人 弁理士 岩 佐 義 幸



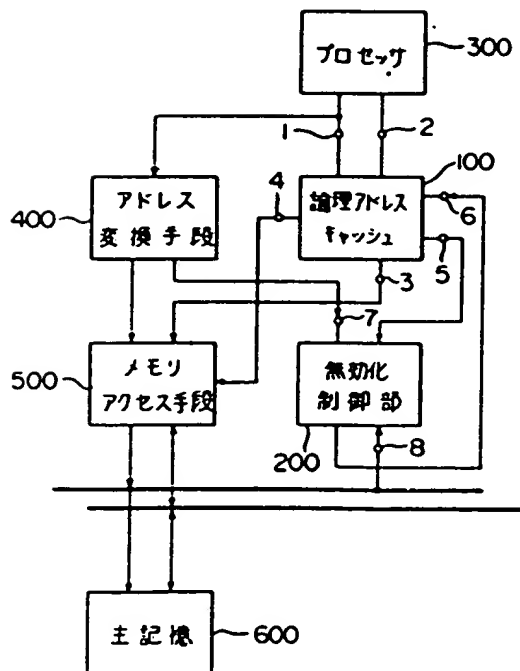
第1図



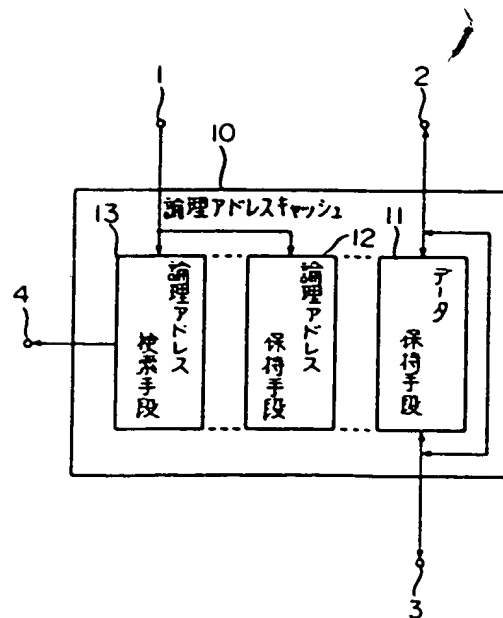
第2図



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**